

# 6 EVLISマシン

安井 裕

大阪産業大学工学部 非常勤講師

当時：大阪大学工学部応用物理学科 助教授



## EVLISマシンの由来と開発経過

EVLISマシンは、大阪大学工学部応用物理学科で、我々が1979年に提案発表し82年に実現稼働させたマルチプロセッサによるLispプログラムの並列処理計算機である。実行性能は当時の外国製も含む超大型汎用機と競合できる性能を有し、また研究成果は本学会論文賞として評価を得た。研究室は真空管式計算機を作った歴史を持ち、60年代後半から汎用機上でLispの処理系等の研究製作を行ってきた。そしてマイクロプログラムでLispマシンを作ることを願っていたが、それができる商用機等での開発はアーキテクチャや購入費など種々制約が伴うので、ビットスライスのチップを使って研究室で自作することなどを考えていた。

しかしMITのCONSマシンその他内外のLispマシンの開発成果を知るとき、どうせ自作するのならばもっと鮮烈なアーキテクチャでの差異を持ったマシンを創らねばならないと考えた。思考がassociativeで並列に行われていることを思い、複数台のプロセッサによるLispプログラムの並列処理を計画することに至った。

78年Lispマシンを志向する三石彰純の修士論文のテーマとしてLispの並列処理を設定し、Lispのすべての関数の中でインタープリタも含めて並列化できるところを探せと指示したことから研究は具体的にスタートした。ただし既存のプログラムがそのまま並列処理されること、Lispの大きな特徴である実行時の動的な振る舞いを失わないことなどが条件であった。

数日を経て研究室での研究打ち合わせの場で、斉藤年史助手と彼の報告の中から打ち出されたのが関数evlisの第一引数の評価を並列処理することであった(後述するが実際のマシンでは、並列処理はいろいろなレ

ベルでevlis以外の関数や機能でもたくさんやっている)。これをEVLISマシンと命名し、Lispの並列処理に着手した<sup>1)</sup>。

直ちに斉藤らが汎用機上でEVLISマシンの並列処理のアルゴリズムとそのシミュレーションを行い並列処理効果を確認した。我々は着手後しばらくはEVALプロセッサを既製のビットスライスのチップで作成を試みていたが、作業が進む中79年に、並列処理環境でのLisp向きのより高性能なアーキテクチャを実現するため、既製品に頼らず、新しく研究室で独自に設計し、論理ICや通常のメモリチップ等の組合せで手作りするEVAL IIと名付けたプロセッサを研究試作し使用することを前川博俊が提案した。そしてEVAL IIのアーキテクチャとハードを前川、並列処理アルゴリズムとそのソフトを西川岳、EVLISマシンのマイクロアセンブラ、EVLISマシンの管理システムとI/Oプロセッサを土井俊雄の修士学生たちがそれぞれ設計製作を担当し、主として斉藤がソフト、安井がハード関係と全体をサポートし、80年4月から製作を開始した。82年1月阪大での記号処理研究会<sup>2)</sup>でベンチマークプログラム<sup>3)</sup>を走らせることができた。

製作費は、IC約2,500個等を含めシステム全体で約300万円、マンパワーとしては上記の修士学生3名と教官2名に基板の作図や配線のチェックなどを手伝ってくれた学部学生2名程であった(図-1)。

## EVLISマシンの概要

EVLISマシンは、既述のリスト処理のほか、複数のプロセッサへの処理の割り付け、プロセッサ間の同期、リスト構造の書き換えを生じる関数の副作用の正しい伝播など、並列化に伴う問題はすべてプロセッサであ



図-1  
EVLISマシン

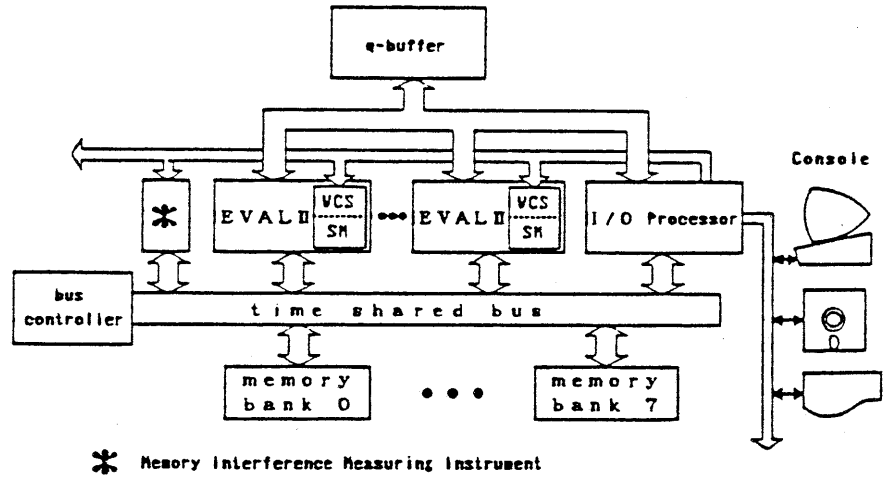


図-2 EVLISマシンの構成図

る各EVAL IIによって並列処理される。したがってLisp1.5の文法に則って作成された並列化を意識しないプログラムであってもEVLISマシンは自動的に並列処理する。

マシンには、複数のEVAL IIが処理待ちタスク獲得待ち行列へアクセスするのを高速化するためのqバッファ(4kw)や、メモリアクセス競合測定装置、さらに実行中の動特性収集用に、設計当初から各EVAL IIに組み込まれた診断用インタフェース(バッファやレジスタなどの内容が直接観測できる)などがハードウェアで装備されている。これらはマシンの立ち上げ時のハードの動作確認や、マイクロアセンブラはじめソフトウェアの開発、実行性能のチューナップ、マシンの稼働後の運用管理、制御などに効果を発揮した。マシンのクロックはEVAL IIが100ns、リストのための共有メモリはバス幅20ビット50nsで1セル40ビットの32k(設計は64k)セル、EVAL IIを3(設計では7)台実装していた。I/OプロセッサはZ80で、入出力、マイクロプログラムのロード、各EVAL IIの診断用インタフェースを介しての動特性の収集や、さらにEVAL IIの台数の制御等システム全体の管理を行っている(図-2)。コンパイラでの処理速度はList-Tarai-4が単体で151.7ms、2台並列で107.3ms、3台で87.3msであった。マシンは日経紙で紹介され、米国の半導体、独国の計算機メーカ、国内の企業等から照会や製品化の打診などがあつた。

## EVAL IIの設計

EVLISマシンの開発途上で、単体のEVAL IIを用いてLispマシンを構成した場合でも、当時存在した他のLisp専用マシンを凌ぐ性能を発揮していた。また当時

大型計算機センター間で最高速のM200-Hでの実行速度に匹敵する結果を得た(文献<sup>4)</sup>に続くpp.689-695)。アーキテクチャの主な特徴は、すでに述べたものに加えて、マイクロ命令が48ビットで8kw、データバスとアドレスバスの区別はなくし、1命令内で3アドレスのALU演算と分岐演算を並列に行い、高速なディスパッチ機能に加えて、スクラッチパッドメモリ4kwがあり(これはスタック、多方向分岐のディスパッチや割り込みのときの分岐番地のテーブル等に役立つ)、他の演算と並列に働くCAR-CDR演算機能等々である<sup>4)</sup>。

## その後の経過と現状

EVLISマシンは84年Prologをマイクロ命令で実現、88年にはメモリ競合に着目し、新しいマルチポートのメモリスシステムと、さらにソフト面からも競合を削減する方法を提案実装し強化した<sup>5)</sup>。89年ニューロエンジン(データフロー方式で既製品)を接続して、Neuro-Lispと名付けたLisp環境から高速にニューロの手続きが実行できるシステムの試作を行った<sup>6)</sup>。

EVLISマシンは現在、大阪大学工学部(吹田キャンパス)の電子計算機特別資料室に保管展示されている。

### 参考文献

- 1) 安井, 齊藤, 三石, 宮崎: EVLISの並列処理, 情報処理学会第20回全国大会講演論文集, 3K-8 (1979).
- 2) 前川, 土井, 西川, 高木, 齊藤, 安井: 試作EVLISマシンのEVAL IIと開発支援機能, 情報処理学会, 記号処理研究会資料17-1 (1982).
- 3) 竹内郁雄: 第二回Lispコンテスト, 情報処理, Vol.20, No.3, pp.192-199 (Mar. 1979).
- 4) 前川, 齊藤, 土井, 西川, 安井: 高速LISPマシンとリスト処理プロセッサEVAL II, 情報処理学会論文誌, Vol.24, No.5, pp.683-688 (May 1983).
- 5) Yasui, H., Sakaguti, T., Kudo, K. and Hironishi, N.: Design of the Shared Memory System for Multi-Processors and Its Implementation on the EVLISmachine, Springer, Lecture Note in Computer Science, 441 (1990).
- 6) 安井, 平山, 工藤, 阿部: Lisp並列処理マシン-EVLISマシン-とニューロエンジンの結合システム, 情報処理学会第39回全国大会講演論文集, 3W4 (1989).

(平成13年9月30日受付)