

解 説

—日本における計算機の歴史—

トランジスタ計算機 (ETL Mark III~VI)*

高 橋 茂**

1. はじめに

電気試験所（現在の電子技術総合研究所）での電子計算機の研究は、昭和29年7月に同所電子部が発足して間もなく始まった。昭和23年8月に通信省電気試験所が商工省電気試験所と電気通信省電気通信研究所に分割されて以来、電気試験所ではいわゆる弱電の研究は途絶えていたが、その後電気試験所からMITに留学し、電気通信以外の分野でのエレクトロニクスの進展を肌感じて帰国された和田弘氏（現在成蹊大学教授）の熱心な推進が実って、エレクトロニクス研究のための電子部の発足となった。

電子部の研究者は当時の電気試験所で比較的弱電に近い仕事をしていた部門から集められ、電子計算機の研究の中心になったのは、筆者、西野博二氏（現在電子技術総合研究所パターン情報部長）、松崎磯一氏（現在(株)日立製作所）、近藤 薫氏（現在 沖電気工業(株)）の4名で、それまで材料部で電気絶縁材料の誘電特性の研究を担当していたグループであった。

はじめは研究テーマの選定にとまどって、当時漸く国産化が始まろうとしていたトランジスタの測定法の調査などをしていたが、そのうちに部長の和田さんの発案でトランジスタを使って電子計算機を試作して見ようということになった。

その頃、日本にはまだ電子計算機のメーカーはもちろんなく、試作中のものとして東京大学のTAC、富士写真フィルム岡崎文次氏のFujic（いずれも真空管式）があった。もちろんトランジスタを使用したものは皆無であった。

2. ETL Mark III

ETL Mark IIIに関する資料で最も古いものは、おそらく“計数形電子計算機のExperimental Model”

と題した謄写版刷りのもの（昭和29年11月13日付）であろう。出所は電子部回路技術研究室となっており、その筆跡は明らかに西野博二氏のものである。

この計画によれば、費用は表-1のようになっており、あとでこの表にはない出力プリンタを追加したが、20年前とはいえ、ずいぶん安く上げたものだ、と、われながら感心せざるを得ない。

表-1 ETL Mark III の開発費見積り

項 目	数 量	価格 (万円)
トランジスタ	141 本	56
ダイオード	1,500 本	75
電磁遅延線	145 μ s	45
水銀遅延回路	1式	(30)
紙テープリーダー	1台	13
雑 部 品	1式	40
そ の 他		25
計		284

ETL Mark III という名前は、当時の所長後藤以紀氏につけて頂いたもので、電気試験所で昭和27年に完成された継電器式のETL Mark I¹⁾、当時建設中であつた継電器式大形計算機ETL Mark II²⁾に続くものということであった。

主要素子にトランジスタを使うことは始めから決めてあつたが、昭和29年7月、当時東京大学の大学院の学生であつた後藤英一氏の発明になるパラメトロンが華々しく発表され³⁾、一時ではあつたがこれに切替えることも検討した。しかしわれわれの目的は計算機を作って見ることであつたが、また同時にトランジスタの応用を試みるということでもあつた。その上パラメトロンには速度の向上が望めないという大きな欠点があつたので、当初の計画通りトランジスタを進めるということに決定した。

この相談は電子部長の和田さんのところへ持って行ったが、極めてアッサリとトランジスタに決定されたと記憶している。あとで考えてみると、その後数年間の電気試験所の研究成果を支配し、ひいては日本の電子計算機産業にも大きな影響を与えた重大な決定がこ

* Transistor Computer (ETL Mark III~VI) by Shigeru TAKAHASHI (Computer Group, Hitachi, Ltd.)

** (株)日立製作所コンピュータ事業本部

のときに行われたことになる。

トランジスタということが決定したので、まず基本回路について検討し、米国標準局(NBS)で開発されたSEACのダイナミック回路⁴⁾をベースにすることに決めた。ダイナミック回路の特長は、能動素子が少なくすむことで、表-1で明らかのようにトランジスタが1本3,000円以上もしていたこと、またその信頼性にも問題があったことから、これは方針として成功であったと思う。

トランジスタとしては当時入手し得た国産唯一の高速トランジスタT1698(当時の東京通信工業(株)、現在のソニー(株)製の点接触形)の改良形約130本を使用、他に半導体素子としてGeダイオード約1,800本を使用した。その他、いわゆる演算制御装置に使用した部品としては、電磁遅延線、パルス変成器、コイル、コンデンサ、抵抗などがあったが、Mark IIIで行った画期的なことの一つは、これらを約300枚のパッケージに収め、抜き挿しできるようにしたことである。これも和田さんの方針であった。Mark IIIの試作をはじめる前に、当時東京大学で調整中であったTACを見学する機会があったが、研究者が架にはしごをかけて真空管を取替えているのを見て、これは和田さんのいわれるようにパッケージ化しなければ駄目だと痛感した。計算機の実装にパッケージを使うことは、今でこそ当然のようになっていて、疑う余地もないが、少くとも当時のわが国では何処でも行われていなかったことであった。

主記憶装置については、表-1では水銀遅延回路となっているが、実際には和田さんの発案で金石舎研究所(株)(戦時中、レーダ用の熔融水晶による遅延素子を製作した経験あり)と接衝し、その協力によって光学ガラスを媒質とする超音波遅延素子を開発することができた^{5,6)}。これは遅延時間512 μ s、1MHzのクロックパルスに同期して512ビットを貯え得るもので、Mark IIIにはこれを4本使用した。

主記憶装置として当時知られていたものに、陰極線管、遅延線、磁気ドラムの3種があった。陰極線管は最も高速ではあるが、不安定でTACで問題を起しており、磁気ドラムは遅すぎる、というので遅延線に決めたわけであるが、この決定も成功であったと思う。

表-1には入力装置としての紙テープリーダ(機械式のものはあるが、出力プリンタはない。最初は安く上げるために、結果をランプで見ればよいと考えたのであるが、それでは面白くないというので、当時の

(株)黒沢商店にテレプリンタを注文した。

計算機のアーキテクチャ(当時はまだこういう言葉はなかった)には当時は殆んど興味がなかったし、また使うための計算機ではなくて、とにかくトランジスタで計算機を作って動かして見ようということが主だったので、アーキテクチャとしてはケンブリッジ大学のEDSAC⁷⁾のサブセットのようなものを採用した。

大体の設計を終ったのが昭和31年3月頃、製作は所内で行ったが4月末には終わっていた。大学の実習生にも手伝ってもらったが、そのなかに当時慶応義塾大学大学院の学生であった相磯秀夫氏(現在慶大工学部教授)がいた。

5月から調整に入ったが、最も苦労したのは部品、特に点接触形トランジスタの劣化であった。昨日とりかえたトランジスタが今日また劣化している、などということも屢々あり、“砂上に楼閣を築いているような気がする。”という声さえあった。しかも当時は、von Neumannの法則などと称して、“計算機というものは、完成までに常にあと1年かかる。”などといわれ、現に東京大学のTACはすでに4年越しになっていたが、幸いにして7月中旬には Σn^2 を計算するプログラムを、EDSACに倣って作った巧妙なイニシャルオーダー(Initial Orders)の制御の下に読み込み、結果を物凄く音でテレプリンタに打出すまでになった。これがわが国では富士写真フイルムのFujic⁸⁾に次いで2番目に完成した自動電子計算機である⁹⁾。

トランジスタの劣化にもかかわらず、調整が急速に進んだのは、トランジスタの数を最小にする基本回路方式の採用と、パッケージによる実装方式の採用によるものであった。

点接触形トランジスタは、結局生産中止となり、Mark IIIの寿命は翌年Mark IVが生れるとともに尽きたが、この計算機を短期間に開発し得たことによって、われわれが得た経験と自信は貴重なものであった。

Mark IIIの外観を写真-1(次頁)に、実装の様子を写真-2(次頁)に、また光学ガラスによる超音波遅延素子の外観を写真-3(次頁)に示す。

3. ETL Mark IV

Mark IIIの成功に勢いを得て、筆者、西野、松崎、近藤という以前からのメンバーに相磯秀夫氏(当時慶応義塾大学大学院工学研究科の学生)および松下通信工業(株)からの実習生米田 弘氏が加わって、昭和31

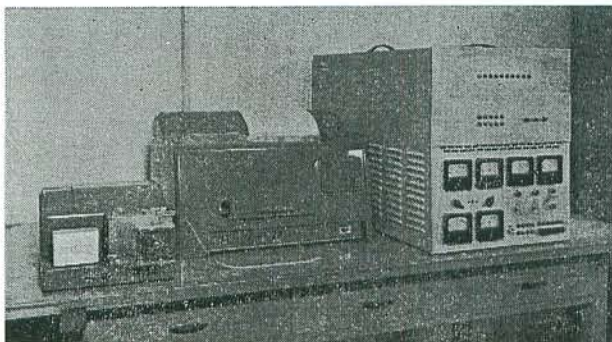


写真1- ETL Mark III の外観

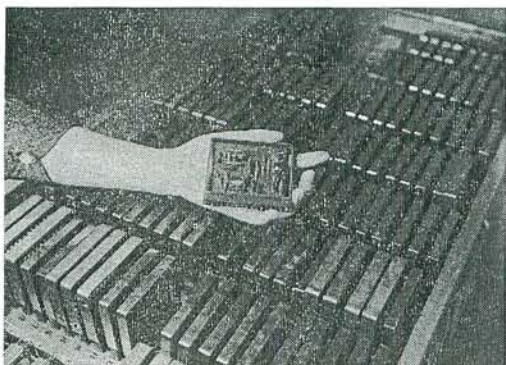


写真2 ETL Mark III の実装

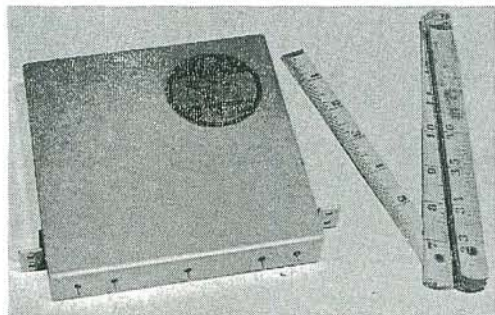


写真3 ETL Mark III 用超音波遅延子 (512μsec) の外観

年 10 月頃に Mark IV の開発を始めた。

その頃、トランジスタの国産化は漸く軌道に乗り、安定な接合形トランジスタの生産が各メーカーで始まっていた。点接触形は不安定で生産中止の運命にあり、トランジスタを選ぶならば接合形を選ぶ以外にはなかった。当時の接合形の欠点は低速ということであったが、これは止むを得なかった。

基本回路としては Mark III と同じく、ダイナミック回路としたが、Mark III での経験から複雑な 3 相クロックパルスを使用することを止め、基本回路内に積極的に遅延機能をもたせた単相のクロックパルス方式とした¹⁰⁾。この回路方式を前提として接合形トランジスタと Ge ダイオードを選んだところ、トランジスタには日立の HJ-23、ダイオードには日本電気の SD-34 がよいということになった。当時はトランジスタはまだ高価で、和田さんが日立製作所の三木正一氏（当時通信機事業部技術部長）に電話をかけ、“今度試作する計算機では、貴社の HJ-23 というトランジスタを使用したいので、その光栄に是非浴して頂きたい。ついては定価 3,000 円のところを半分の 1,500 円に負けて頂きたい。”という交渉をされたことを記憶している。このように高い素子だったので、その使用本数を最小にするダイナミック回路の採用は依然として適切であった。

回路が低速になったので、クロックパルスも Mark III の 1 MHz を約 1/6 の 180 kHz に落すことになり、これに合った主記憶装置が必要になった。遅延素子は低速になると記憶容量が減るからである。当時カナダの Ferranti 社製の 200B 形という高速磁気ドラム (23,500 rpm) が通産省の補助金で輸入され、計算機に関心のあるメーカーのグループで調査されていたが、その仕様ならば満足だということで、これに近いものを開発することにした。これも和田さんの発案で機械的な部分はジャイロスコプの経験のある(株)北辰電機製作所に、磁気的な部分はテープレコーダの経験のある東京通信工業(株)（現在のソニー）に依頼し、希望通りのものができ上がった。

Mark IV は 10 進の計算機で、そのアーキテクチャは Mark III とは全く異なっていた。当時はアーキテクチャという概念はもちろん、ソフトウェアという言葉さえまだ生れていない時代で、コンパティビリティなどということはまだ問題ではなかった*。10 進にした理由は計算機の主要用途が科学計算から事務計算に移るだろうと考えたことと、低速の磁気ドラムを主記憶装置にしたために、10 進 2 進の変換などをやっているのは、光電式テープ読取機の数にも追いつかないと考えたからである。

Mark IV の計画書にはトランジスタ 430 本、ダイオード 4,700 本となっている（結果はトランジスタ約 470 本、Ge ダイオード約 4,600 本であった）。これ

* この問題に早くから注目していたのは、室賀三郎氏をはじめとする電気通信研究所の Musasino-1 のグループである（本誌 16 pp. 130~136 (Feb. 1975)）。

には予算が記載されていないが、約500万円であったと思う。

Mark IV¹¹⁾が完成したのは昭和32年11月で、計画開始後わずかに13ヵ月であった。これでわれわれのグループは電子計算機の“早作り”にますます自信を得たわけである。Mark IVはMark IIIに較べるとはるかに安定で、5日間100時間以上電源を切らないで大きな素数を求める計算をしたこともある。もっとも、完成直後、和田さんが計算機に関心のある各メーカー各社の偉い人たちを招待したときに、折悪しく1時間以上動かなくなったことがあった。このときのトラブルシューティングで、いわゆるトランジスタの“ねぼけ現象”を見付けることができた。すなわち頻繁に繰り返すパルスで調べると正常に動作するトランジスタでも、長い間休んでいて突然やってくるパルスに対しては誤動作することがあるということである。

Mark IVの完成と前後して、電気通信研究所のMusasino-1を始めとするパラメトロン計算機が続々完成し、それぞれ計算速度を競うために、 e の計算をやって見せることが流行したが、次第に機械の速度の競争から算法の競争に移行し、ついには何をやっているのか判らなくなってしまった。相磯秀夫氏などはあまり頻繁に e の計算をやって見せたので、そのパターンを覚えてえて、あるとき他所のデモンストレーションを見学に行くと、 e の200桁目位いの数字が違っているのを、立どころに指摘したほどであった。

写真-4にETL Mark IVの外観、写真-5にそれに使用したパッケージ、写真-6には高速磁気ドラムを示す。

4. ETL Mark V など Mark IV 形の計算機

Mark IVが完成したときに招待したメーカーの偉い人たちは、しびれを切らして帰ってしまったが、その後Mark IVの評判が高まるにつれて、これを手本にして計算機を作りたいから技術指導をしろ、というメーカーが続々と現われた。日本電気、日立、北辰電機、松下通信工業などである。もっとも松下からは最初からその目的で米田氏が実習に来ていたわけである。

結果として、NEAC 2201 (昭和33年8月完)、HITAC 301 (昭和34年5月完)、HOC-1 (昭和33年10月完)、MADIC-1などがそれぞれ誕生した。

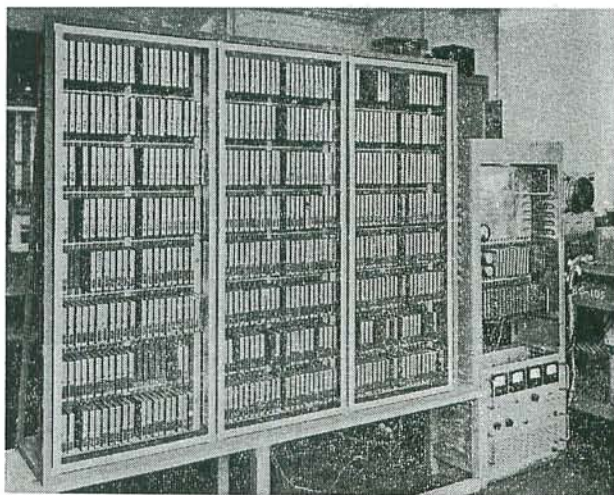


写真-4 ETL Mark IV の外観

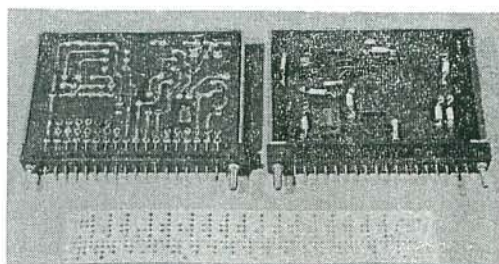


写真-5 ETL Mark IV のパッケージ

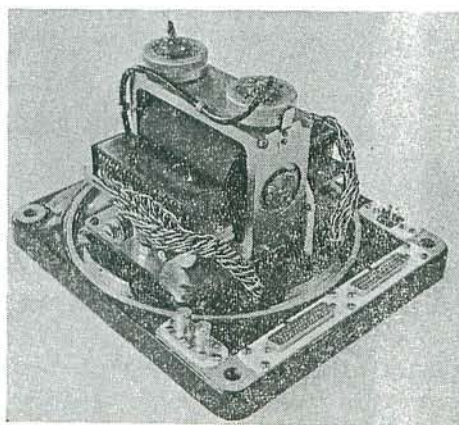


写真-6 ETL Mark IV の高速磁気ドラム

一方電気試験所でも、所内の計算業務に使用する計算機が必要になり、10進浮動小数点方式のETL Mark V¹²⁾を昭和33年に計画、(株)日立製作所に発注した。その方式および理論設計は、相磯秀夫氏を主力に、矢板 徹氏(現在 法政大学工学部教授)、慶応から実習に来ていた北川 節氏(現在 慶大工学部教

授), 都築東吾氏などによって行われ, 昭和35年5月に完成した。

この Mark V は日立製作所が商品化した HITAC 102 のプロトタイプになった。また慶応に帰った北川, 都築両氏は, この設計をもとにして Mark V に似た K-1 を製作し, 学内での使用に供した。その他 Mark IV のダイナミック基本回路を使用した商品として, 日本電気の NEAC 2203, 2206, 2230, 日立の HITAC 501, 502, 201 などがある。

このように Mark IV は多数の計算機の母体となったが, 一方電気試験所では絶えずその改良を続けていた。その一つは昭和33年7月に磁気ディスクの周辺回路を完全にトランジスタ化したこと¹³⁾で, これは松崎磯一氏によって行われた。他の一つは磁心記憶装置の増設である。磁心記憶装置の研究は Mark III, Mark IV などのシステムを開発するグループとは別に, 矢板 徹氏, 夏目英雄氏 (現在 沖電気工業(株)) などによって行われていたが, 昭和33年7月ごろ研究が一段落したので, その成果¹⁴⁾を Mark IV に適用しようということになった。

ついでに語長を10進6桁から8桁に拡大し, 指標レジスタを設けるなどの大手術もやって, 昭和34年8月にこれを完成し, 結果を Mark IV A と呼ぶことにした。この大改造は, 筆者が昭和34年2月以来海外出張中に, 西野博二氏, 淵一博氏 (現在 電子技術総合研究所パターン情報部推論機構研究室長), 加藤雄士氏 (現在(株)日立製作所) によって行われ, 筆者が同年末に帰国したときには, Mark IV はすでに IV A に発展的に吸収されていた。Mark IV にくらべると速度は数十倍に向上し, 翌年東京大学の PC-2 が完成するまでの約1年間, 国産機中最高速を誇ることになった。

さらに興味ある試みとして, 割込みの技術を駆使した入出力専用の Mark IV B という計算機を作り, これを Mark IV A と接続することが, 西野博二, 淵一博両氏によって行われた¹⁵⁾。今日の入出力プロセッサに近い概念のものを15年前に試みていたわけである。Mark IV B は昭和36年2月に一応完成し, 日本電気(株)製の磁気テープ装置4台を制御した。なお同年末には Mark IV A と Mark IV B との接続も行われた。

Mark IV A はその後数年間所内の計算に実用さ

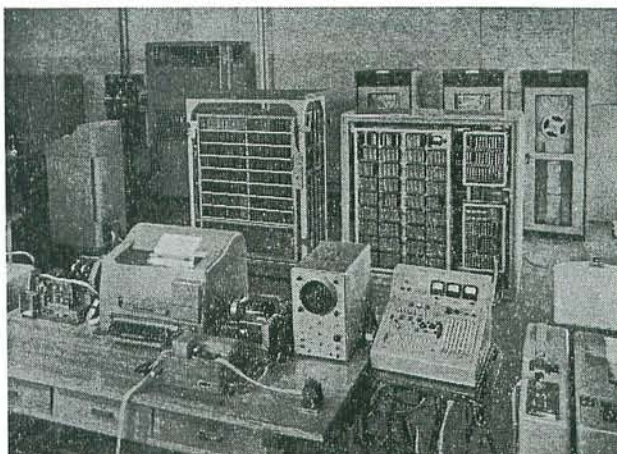


写真-7 ETL Mark IV A, IV B の外観
(後方に磁気テープ装置が見える)

れ, 現在は国立科学博物館に収容, 展示されている。

写真-7 に Mark IV A, Mark IV B の外観を示す。

5. や ま と

“やまと”というのは, これも電気試験所で開発した機械翻訳の専用機である。回路技術的には Mark IV の一族であるが, かなり毛色が違うので項を改めたわけである。

電気試験所で機械翻訳の研究を始めようとい出したのは和田さん⁴²⁾で, そのための計算機を作ることになったのは昭和33年の夏頃であった。今日では翻訳専用の計算機を作るなどということを考える人は誰もいない。翻訳がうまく行くかどうかは手法の問題であって, 機械の問題ではない。しかし当時は Mark IV が漸く完成したばかりで, 十分な速度と記憶容量をもった計算機がわれわれの手の届くところになかったという事情があった。前述のように Mark IV の完成で, 計算機の早作りには自信があったので, 600 万円の予算でこれを作ることにした。

その頃, 西野博二氏は西独のダルムシュタット工科大学に留学中, 一方では Mark V の設計が行われていたので, この“やまと”は筆者と渡辺定久氏 (現在 電子技術総合研究所電子計算機部人間機械システム研究室長) とで担当することとし, 論理設計は役所では気が散るので, 筆者が1週間ばかり家に閉じ籠って完成した。記憶装置には富士通製の当時の“大容量磁気ドラム”(容量 82 万ビット——メガバイトの誤りではない)を使用した。磁気ドラム周辺の回路は松崎磯一

氏が担当した。

基本回路のパッケージ3種、約1,000枚は松下通信工業(株)で作ってもらい、架の布線や組立はアルバイト学生7~8人を雇って、昭和33年11月末から約2週間で完成した¹⁶⁾。

このように急いだのは、翌年の2月22日から約1年間、筆者が海外出張を命ぜられていたことと、同じく6月にパリで開催されることになっていた第1回国際情報処理会議に発表¹⁷⁾したいということであった。手馴れたMark IV形の論理ではあったが、あまりに急造したことがたたって、布線の誤りが多く、調整はあまりスムーズには進まず、筆者が出発する前日、2月21日の午後4時頃になって、漸く、“I like music.”とパンチした紙テープを読込ませると、“ワレガ オンガクヲ コノム。”とプリンタに出力するようになった。

この“やまと”と和田さんが命名された機械は、その後数年間、夢沼良一氏³⁹⁾(現在 山梨大学工学部教授)、五十嵐実子さん(現在 電子技術総合研究所ソフトウェア部)などによって機械翻訳の研究に使用された。

写真-8に“やまと”の外観を示す。

なおこの研究に関連して、“やまと”の入力装置にしようということで、文字認識の研究⁴⁰⁾が早くも昭和33年に開始された。これも和田さん⁽⁴²⁾の発案で、主として研究に当たったのは飯島泰蔵氏(現在 東京工業大学教授)、井元鑑二氏(現在 明治大学工学部教授)であった。

6. ETL Mark VI

ETL Mark VIの計画を始めたのは、昭和34年末に筆者が帰国して間もないころで、留学中に見聞したマンチェスター大学のAtlas¹⁸⁾、イリノイ大学のIlliack II¹⁹⁾などの当時の超高速計算機を凌駕するものを作ろうということであった。

そのころには研究室の人員も漸く強化されて、従来からの筆者、西野博二、松崎磯一、近藤 薫、渡辺定久、相磯秀夫、加藤雄士、淵 一博氏等に、石井 治氏(現在 電子技術総合研究所ソフトウェア部長)および川合英俊氏(現在 電子技術総合研究所電子計算機部)が加わった。さらに当時まだ東京大学理学部の学生であった吉広和夫氏(現在 電子技術総合研究所基礎部)が方式設計に加わり、また外部からの実習生として、苅部 浩氏(東京電気化学工業(株))、久保菊



写真-8 翻訳機“やまと”の外観

表-2 ETL Mark VI の仕様概要

項 目	計画時(昭和35年)	完成時(昭和41年3月)
数値語(ビット)	52	48
命令語(ビット)	26	24/48
演算速度(μ s)		
加減算(固定小数点)	0.5	0.25
加減算(浮動小数点)	1.5	1.5
乗算	5	4
除算	8	6
記憶装置		
高速記憶装置	64~128 語, 0.25 μ s	江崎ダイオード 84 語, 0.25 μ s 磁性薄膜 64 語, 0.5 μ s
固定記憶装置	4,096 語, 0.3 μ s	4,096 語, 0.25 μ s
磁心記憶装置	8,192 語, 2 μ s	(8,192 語, 2.5 μ s) (4,096 語, 1.0 μ s)
磁気ドラム記憶装置	2 ¹⁵ 語	2 ¹⁸ 語, 20ms
入出力装置		
主コンソール		1
補助コンソール		3
磁気テープ装置	8	8
ラインプリンタ	1	1
キーボードプリンタ	4	4
光電式紙テープ読取機	2	4
高速紙テープパンチ	2	2
XYプロッタ	—	1

雄氏(当時日本コロムビア(株))などが参加した。筆者は昭和37年3月末電気試験所を去ったが、同年4月から大東栄夫(現在 電子技術総合研究所電子計算機部)、山口徹郎(現在 同所ソフトウェア部)両氏がこのプロジェクトに加わり、前からこのプロジェクトに加わっていた吉広和夫氏も正式に入所した。日付は明確ではないが、昭和35年の前半に出したMark VIの計画書では、目標仕様は表-2の左に示すようになっていた。これに較べて昭和41年3月に完成したときの仕様を同じ表の右に示す。予算はMark IV時代に較べて1桁以上大きくなり、当初約1億円であった。

このようにMark VIは完成までに約6年を要しているが、その理由はMark IVなどに較べてプロジェクトとして大きかったというだけではなく、時代の変遷にともなって、プロジェクトの主眼が計算機としての完成よりは個々の技術におかれるようになったこと

による。すなわち、Mark IV はトランジスタを使って、われわれの手で安定に動作する計算機が作れることを世に示すためのものであった。また Mark V は所内の計算需要に応えるための実用機であった。Mark VI はそのいずれでもない。Mark VI が始まったときには、すでにわが国にもいくつかの計算機メーカーが出現しており、計算機が安定に動作するのは当然のことになりつつあった。従って Mark VI ではメーカーでは実施し得ない進んだ技術を世に示すことにその意義を求めることになった。事実、Mark VI^{20, 21)}では、

- (1) トランジスタによる高速基本回路^{22), 23)}
- (2) 江崎ダイオードによる高速記憶装置^{24) ~27)}
- (3) 磁性薄膜による高速記憶装置²⁸⁾
- (4) これらの高速記憶装置の使用方式^{20), 21), 27)}
- (5) 語配列方式による高速磁心記憶装置²⁹⁾
- (6) ページアドレス方式⁴¹⁾
- (7) 高速大容量固定記憶装置^{30), 31)}
- (8) 高度な先行制御方式³²⁾
- (9) 高速演算回路³³⁾
- (10) 割込技術を駆使した入出力制御方式³⁴⁾

などの多くの新技術を開発して世に貢献し、またこれらの開発を通じて多数の人材を養成したが、Mark VI を直接手本としてメーカーが商品を作ったとか、Mark VI で何かの計算をして役に立ったということはない。

なお前述の (1), (2), (5), (6) などの技術を、限られた形ではあるが確認するためのパイロットモデル ETL Mark VI P を昭和 36 年 10 月に完成している²⁸⁾。

写真-9 に ETL Mark VI の裏面の配線を示す。

以下、上記の Mark VI の諸技術のうち、歴史的な意義をもつと思われる (1), (2) および (4) について述べる。

Mark VI の計画が始まった昭和 35 年の 2 年前に江崎玲於奈氏がトンネル効果を発見している³⁵⁾が、これが昭和 34 年米国で一躍有名になり、トンネルダイオードはもっとも有望な論理回路素子としてもてはやされるようになった。同年末東京大学のグループがトンネルダイオード対 (グループの主要メンバーであった後藤英一氏の名をとって Goto-pair と呼ばれた) を提案³⁶⁾し、これを論理回路の本命と見る向きもあったが、われわれはトンネルダイオード対では否定の機

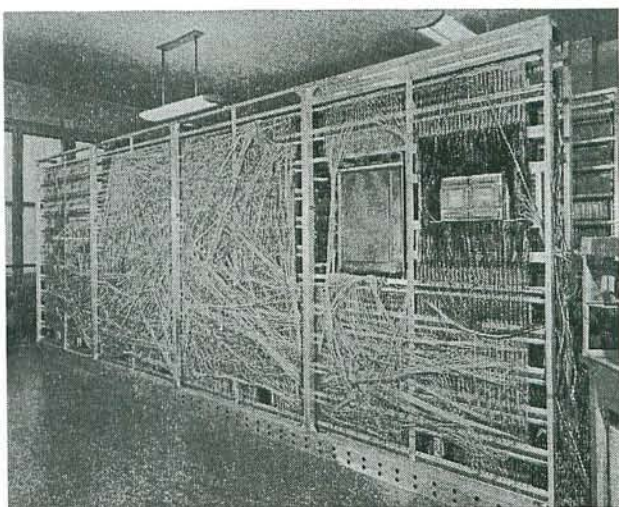


写真-9 ETL Mark VI の裏面の配線

能を作るのが難しいこと、回路の fan-out が小さいこと、一方トランジスタでも Mark IV の基本回路に較べて数十倍の高速化は容易であることから、基本回路には従来通りトランジスタを使用することにした。

最初に考えた回路は 2 相 3 MHz のクロックパルスに同期して動作するダイオード論理回路とトランジスタの組合わせで、Mark IV の回路でのような変成器はやめたが、トランジスタによって反転した出力をクロックパルスによって制御される論理回路を介して帰還するという、スタティック回路ではあるが、ダイナミック回路の伝統を保持したものであった。この回路の速度は間もなく 5 MHz²²⁾に、さらに 8 MHz²³⁾に改善された。

Mark IV では 1 相にしてあったクロックパルスを 2 相にすることにより、この回路は一層高速化されたのであるが、一方フリップフロップを実現するには 2 回路が要ることになった。その一つを電磁遅延線でおきかえることを考えたが、幸い日立電線(株)で別の目的で作っていたものが丁度これに間に合い、直径 3.8 mm、長さ約 12cm の遅延線 (特性インピーダンス 1 kΩ) とエミッタフォロウの組合わせによって満足すべき結果が得られた。

この基本回路と電磁遅延線の使い方は、多少の変更はあったが基本的な考え方はそのままで、村田健郎、中沢喜三郎氏等により(株)日立製作所の HITAC 5020 および 5020 E³⁷⁾に用いられた。これは Mark VI が産業界に及ぼした効果の最も大きいものの一つであったと思われる。

基本回路はこのように高速になったが、主記憶装置はサイクル時間 $2\mu\text{s}$ がやっとであった。そこで小容量の高速記憶装置を設け、これを主記憶装置と組合わせて用いることが考えられるようになった。筆者等はトンネルダイオードがこの目的に使えるのではないかと考えた。前記の東京大学のグループはトンネルダイオード対を素子とするメモリーを提案していたが、このメモリーには原理的に語数が増えるに従って読出し電圧が減少するという大きな欠点があったので、筆者と石井 治氏とで1個のトンネルダイオードと通常の点接触形ダイオードとを組合せたものを素子とするメモリーを案出した²⁴⁾。このメモリーは 50 ビット (冗長ビット 2 ビットを含む)、64 語の容量で Mark VI に実装され、サイクル時間 250 ns で動作した²⁷⁾。これは当時としてはかなり高速のものであった。

この高速メモリーは最初 128 語欲しいと思ったがトンネルダイオードの信頼性に問題があったため、残り 64 語は磁性薄膜 (サイクル時間 500 ns) によって実現されることになった²⁸⁾。

Mark VI の方式上^{20), 21)}の最大の特徴はこれらの高速記憶装置の使い方にある。すなわち高速記憶装置は、

- (1) 演算スタック: 32 語
- (2) 指標レジスタ: 32 語
- (3) プログラムスタック: 64 語

という割当てになっている。このうち指標レジスタは当然であり、演算スタックは Burroughs の B-5000 ではじめてのものであるが、プログラムスタックという考え方は Mark VI がはじめてであった。

すなわちこの 64 語のメモリーは、先行制御装置が命令を先取りするためにだけあるのではなく、使用した命令をできるだけ残しておき、分岐命令に際して、その分岐先がスタック内にあるかどうかを調べることによってプログラムのループを捕捉するものである。これらの仕組みはすべてハードウェアによって行われ、主記憶装置を見かけ上高速にする効果をもたらすもので、その点では今日のキャッシュ (cache) 方式の先駆者であり、ケンブリッジ大学の M. V. Wilkes がいう Slave memory 方式の一種であった*。

7. おわりに

学会からの依頼で、昭和 29 年頃から昭和 40 年頃

までの電気試験所 (現在の電子技術総合研究所) でのトランジスタ計算機開発の経過をまとめて見た。筆者は昭和 37 年 3 月同所を去ったので、Mark VI の開発にはその初期にしか加わっていない。しかし日本での計算機開発史という観点からすれば、初期の Mark III, Mark IV の頃がより重要であろうと考え、あえて筆をとった次第である。

執筆に当たって 20 年前の当事を想起すると、計算機はまさに前人未踏の分野といってもよく、自由奔放に研究を進めることができた古き良き時代であった。この時期に先見の明をもって、われわれをこの分野に導いて頂いた当時の電気試験所電子部長和田 弘博士に改めて御礼申し上げ、またこの前人未踏の分野で、時には砂上に楼閣を築くような絶望感を、時には完成の感激をともにした西野博二博士をはじめとする同僚諸氏に感謝して擲筆する次第である。

参 考 文 献

- 1) 末包良太: “継電器式逐次式計算機の Pilot Model の概要”, 電試集 19, p. 252 (昭和 30 年 4 月),
- 2) 駒宮安男: “電気試験所継電器式計数型自動計算機, ETL Mark II”, OHM 臨時増刊号 p. 1 (昭和 30 年 11 月),
- 3) 後藤英一: “非線型リアクタを利用した新回路素子パラメトロン”, 信学会非直線理論/電子計算機研究専門委員会資料 (昭 29 年 7 月),
- 4) R. D. Elbourn and R. P. Witt: “Dynamic Circuit Techniques Used in SEAC and DY-SEAC”, Proc. I.R. E. 41, p. 1380 (October 1953),
- 5) 高橋 茂, 松崎磯一, 品田敏雄: “ETL Mark III の記憶装置”, 電気学会東京支部大会 No. 41 (昭和 31 年 11 月),
- 6) S. Takahashi, H. Nishino, I. Matsuzaki, T. Shinada and I. Hayashi: “The ETL Mark III, A Transistorized Digital Automatic Computer: II Storage Device”, Bulletin of Electrotechnical Lab. 21, p. 43 (January 1957),
- 7) M.V. Wilkes and W. Renwick: “The EDS-AC, an Electronic Calculating Machine”, J. Sci. Instr. 26, p. 385 (December 1949),
- 8) 岡崎文次: “数式電子計算機フジック”, オートメーション 2, p. 25 (昭和 31 年 9 月),
- 9) 高橋 茂, 西野博二, 松崎磯一, 近藤 薫: “トランジスタ電子計算機 ETL Mark III”, 電学誌 77, p. 675 (昭和 32 年 6 月),
- 10) 高橋 茂, 西野博二: “ディジタル装置の基本装置”, 実用新案出願公告, 昭和 37-18801.

* M. V. Wilkes はその論文 “Slave memories and Dynamic Storage Allocation”, IEEE EC-14 p. 270 (1965) で ETL Mark VI の上記の方式に言及している。

- 11) 西野博二, 高橋 茂, 松崎磯一, 相磯秀夫, 近藤 薫, 米田 弘: “トランジスタ計算機電試マーク IV”, 信学誌 42, p. 1038 (昭和 34 年 11 月).
- 12) 矢板 徹, 相磯秀夫, 高橋 茂: “トランジスタ計算機電試マーク 5”, 情報処理 2, p. 198 (昭和 36 年 7 月).
- 13) 松崎磯一, 高橋 茂: “磁気ドラム記憶装置のトランジスタ化”, 信学会トランジスタ回路研究専門委員会資料 (昭和 33 年 7 月).
- 14) 夏目英雄, 矢板 徹: “磁心マトリクスのトランジスタによる駆動”, 信学誌トランジスタ回路研究専門委員会資料 (昭和 33 年 7 月).
- 15) 淵 一博, 西野博二: “入出力用計算機 ETL Mk 4 B の方式”, 情報処理 1, p. 16 (昭和 35 年 7 月).
- 16) 高橋 茂: “翻訳機械「やまと」の基本設計”, 信学会電子計算機研究専門委員会資料 (昭和 34 年 1 月).
- 17) S. Takahashi, H. Wada, R. Tadenuma and S. Watanabe: “English Japanese Machine Translation”, Proc. of the International Conference on Information Processing p. 194 (June 1959).
- 18) T. Kilburn, D. B. G. Edwards, M. J. Lanigan and F. H. Sumner: “One-level Storage System”, Trans. IRE, EC-2 p. 223 (April 1962).
- 19) “On the Design of a Very High-Speed Computer”, Report No. 80, Digital Computer Laboratory, Univ. of Illinois (October 1957).
- 20) 高橋 茂, 西野博二, 吉広和夫, 加藤雄士, 淵一博: “ETL Mk-6 の方式設計”, 信学会電子計算機研究専門委員会資料 (昭和 37 年 2 月).
- 21) S. Takahashi, H. Nishino, K. Yoshihiro and K. Fuchi: “System Design of the ETL Mk-6 Computer”, Proceedings of IFIP Congress 62 (August 1962).
- 22) 高橋 茂, 松崎磯一: “ETL Mk-6 の基本回路”, 情報処理 2, p. 74 (昭和 36 年 3 月).
- 23) 松崎磯一, 高橋 茂: “ETL Mk-6 の基本回路の改良”, 情報処理学会大会 p. 5 (昭和 36 年).
- 24) 高橋 茂, 石井 治: “負性抵抗素子を用いた記憶装置”, 特許 35-3017 (昭和 35 年).
- 25) S. Takahashi and O. Ishii: “High-Speed Memory Uses Tunnel Diode Circuit”, Electronics 34, No. 42, p. 66 (October 20, 1961).
- 26) O. Ishii, S. Takahashi, K. Nakazawa and K. Murata: “Tunnel Diode High-Speed Memory”, Proc. IFIP Congress 62 (1962).
- 27) 電気試験所電子計算機部計算機研究室: “ETL Mk-6 における記憶装置の高速化の研究”(昭和 38 年 7 月).
- 28) 新田松雄, 石井 治, 松本幸治: “ETL Mk-6 の磁性薄膜記憶装置”, 信学会電子計算機研究専門委員会資料 (昭和 39 年 6 月).
- 29) 加藤雄士, 荻部 浩: “ETL Mk-6 磁心記憶装置”, 電子計算機の研究 No. 3, p. 1 (昭和 38 年).
- 30) S. Takahashi and S. Watanabe: “Capacitance Type Fixed Memory”, Large Capacity Memory Techniques for Computing Systems (Edited by M. C. Yovitz) p. 53, Macmillan, New York (1962).
- 31) 渡辺定久: “ETL Mk-6 の固定記憶装置”, 信学会電子計算機研究専門委員会資料 (昭和 40 年 1 月).
- 32) 相磯秀夫, 石井 治, 吉広和夫: “ETL Mk-6 の先廻り制御について”, 信学会電子計算機研究専門委員会資料 (昭和 37 年 10 月).
- 33) 淵 一博, 吉広和夫, 加藤雄士, 大東栄夫: “ETL Mk-6 の演算装置”, 情報処理学会大会予稿 p. 41 (昭和 39 年).
- 34) 川合英俊: “ETL Mk-6 の入出力制御について”, 信学会電子計算機研究専門委員会資料 (昭和 37 年 12 月).
- 35) L. Esaki: “A New Phenomenon in a Narrow p-n Junction”, Physical Review 109 p. 603 (January 1958).
- 36) E. Goto, et al.: “Esaki Diode High-Speed Logical Circuits”, Trans. IRE, EC-9, No. 2 p. 25 (March 1960).
- 37) K. Nakazawa and K. Murata: “Very High-Speed Serial and Serial-Parallel Computers, HITAC-5020 and HITAC-5020E”, Proc. FJCC p. 187 (1964).
- 38) 高橋 茂, 松崎磯一, 川合英俊, 久保菊雄: “ETL Mk-6 p”, 情報処理学会大会 p. 57 (昭和 36 年).
- 39) 蓼沼良一: “電子計算機による英文和訳の研究”, 電気試験所研究報告 No. 624 (昭和 36 年 12 月).
- 40) H. Wada, S. Takahashi, T. Iijima, Y. Okumura and K. Imoto: “An Electronic Reading Machine”, Proc. of the International Conference on Information Processing”, p. 227 (June 1959).
- 41) 石井 治, 白倉隆一: “ETL Mark VI における主記憶のページアドレス制御について”, 電試彙報 29, p. 762 (昭和 40 年).
- 42) 和田 弘: “計算をしない計算機”, 情報処理イ, p. 11 (昭和 35 年 7 月)
(昭和 50 年 11 月 10 日受付)