

# 11 電総研 EM-4

坂井 修一

sakai@mtl.t.u-tokyo.ac.jp

東京大学大学院情報理工学系研究科 教授

当時：電子技術総合研究所情報アーキテクチャ部



## EM-4の概要

EM-4<sup>1), 2)</sup>は、電子技術総合研究所（略称電総研。現、産業技術総合研究所）において、1986年から1990年にかけて開発された並列計算機である。データフロー型計算機を基盤として、実用に耐える1000プロセッサ規模の汎用並列計算機を構築するという目的のもと、計算モデルの構築、LSI設計と試作、80プロセッサからなるプロトタイプの試作、Cコンパイラの開発、性能評価を行い、成果は国際会議やジャーナル、新聞などを通じて発表され、国際的な評価を得た。

EM-4という名前は、ETL Machine 4の頭文字で、電総研で代々試作された先進的な計算機の名称である「EM」を引き継いだものである。それ以前のEMとの技術的關係は薄く、技術的には本特集でも登場するSIGMA-1の後継機と位置づけることができる。また、計算機アーキテクチャの歴史の上では、データフロー型計算機からマルチスレッド型計算機への流れを作ったマシンといえる。

研究開発に携わった人間を記す（敬称略。括弧内は現在の所属）。アーキテクチャの研究および試作機の開発に携わったのは、電総研では弓場敏嗣（電通大）、山口喜教（筑波大）、平木敬（東大）、児玉祐悦（産総研）、坂井修一（東大）。三洋電機の岡本一晃、甲村康人（清水雅久氏には大きなご支援をいただいた）。Cコンパイラの開発は電総研の佐藤三久（筑波大）。性能評価および応用プログラムの開発には、上の人々のほかに電総研の山名早人（早大）、三洋電機の内野高志、MITのAndrew Shaw（Transmeta）、ニュージャージー工科大学のAndrew Sohnら。なお、島田俊夫氏（名古屋大）は、電総研計算機方式研

究室室長として本プロジェクトの管理運営に尽力された。

## EM-4の特徴

EM-4は、データフロー型とフォンノイマン型の2つのアーキテクチャを命令パイプラインのレベルで融合した計算機である。並列処理にも直列処理にも高い適応力を持ち、しかも「軽い」「無色透明な」アーキテクチャを持つマシンといえる。

同機の研究にあたっては、まず計算モデルとして、「強連結枝モデル」を提案した<sup>1)</sup>。同モデルは、データ

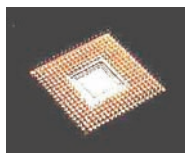


図-1 シングルチッププロセッサEMC-R



図-2 EM-4 プロトタイプ

フローグラフの部分グラフとして連続実行する命令群を設定するもので、これによって実行時に局所性の利用ができるようになり、また、臨界領域を設定して資源管理を行うことが容易になった。

要素技術としては、直接マッチングと呼ばれる軽い同期機構、パケット処理パイプラインとRISC型パイプラインを自然に結びつけた融合型パイプライン、少ないハードウェア量で高性能と自動負荷分散を実現するサーキュラオメガ結合網<sup>3)</sup>、プログラム実行に影響を及ぼさずにモニタリングを行えるメンテナンスアーキテクチャ、などが主要なものである。

実装上の特徴は、通信・同期とRISC型プロセッサを命令パイプラインのレベルで融合した世界初のシングルチッププロセッサEMC-R(図-1)<sup>1)</sup>を開発したことである。本プロセッサは、5万ゲートのゲートアレイ上に実装され、目標通りの動作速度で稼働した。この開発の成功によって、80台のプロトタイプマシン(図-2)<sup>2)</sup>を家庭用冷蔵庫の規模で実現することができた。

## 開発と成果

EM-4の方式研究および設計は主に坂井が、詳細設計は主に兎玉がこれにあたった。開発にあたっては、プロセッサチップEMC-Rの設計が最も重要な部分であった。LSI Logic社の当時最大規模のゲートアレイを用い、スクラッチから論理回路を書き、HDLに直し、シミュレーションを行い、テストベクタを作成した。EMC-Rは「並列処理用RISC」を標榜しつつ、単純化を第一に設計した(図-3)。それでも通信・同期と計算の両方にかかわる部分はやや複雑になったが、最初のサンプルチップができてから半年未満で80台のEM-4プロトタイプが完成・稼働したのは、この単純化によるところが大きい。

EM-4プロトタイプが本格稼働したのは、1990年4月であり、いくつかのベンチマークを稼働させて、CRAY/XMPやSUN Sparc-330と性能比較を行った。その結果、最大でCRAYの21倍、SUNの94倍の性能が得られた<sup>2)</sup>。1991年には佐藤によってCコンパイラ<sup>4)</sup>が開発され、より複雑なプログラムの性能評価が可能となった。

## その後の展開

EM-4は、10年近く安定稼働し、その後のマルチスレッド型計算機(MITの\*Tなど)のアーキテクチャに大き

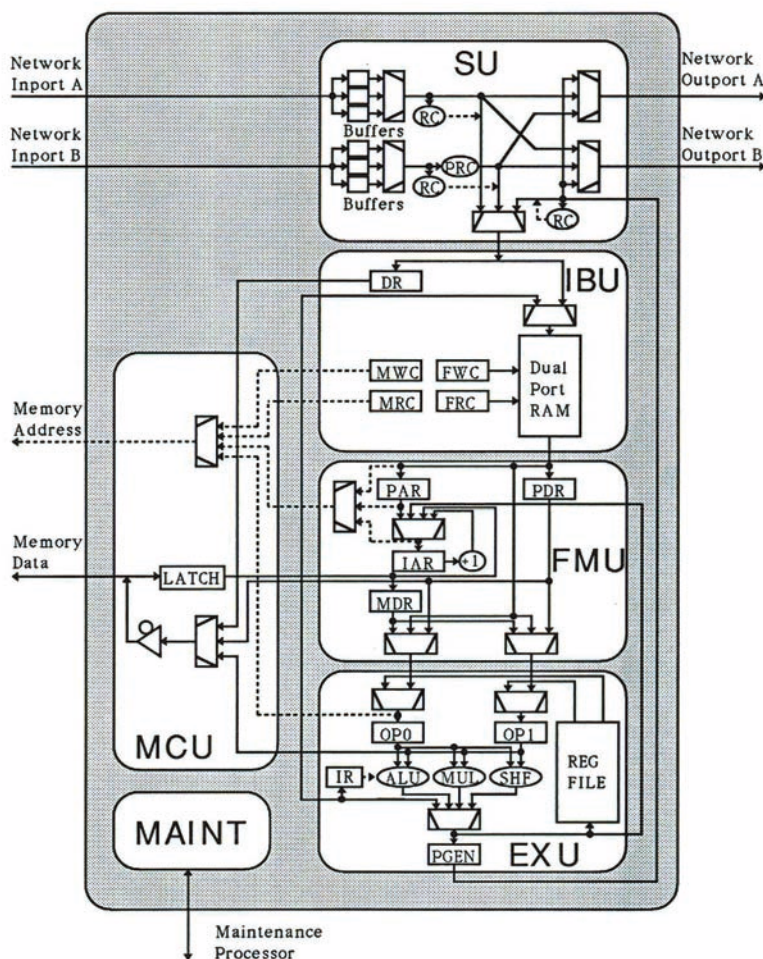


図-3 EMC-Rの構成

な影響を与えた。その直接の後継機は、電総研で開発されたEM-X<sup>5)</sup>とRWCで開発されたRWC-1<sup>6)</sup>である。EM-Xは、優先度処理などを実現し、浮動小数点処理を高速化したもので、多数の実用プログラムが稼働した。RWC-1はより野心的な計算機である。スーパースカラパイプラインとして通信・同期を融合し、並列分散OSのプリミティブを開発・実装した。前者は80プロセッサで、後者は128プロセッサで稼働し、ベンチマークなどの実行でそれぞれ高い性能を示した。

### 参考文献

- 1) Sakai, S., Yamaguchi, Y., Hiraki, K., Kodama, Y. and Yuba, T.: An Architecture of a Dataflow Single Chip Processor, Proceedings of 15th International Symposium on Computer Architecture, pp.46-53 (1989).
- 2) Sakai, S., Kodama, Y. and Yamaguchi, Y.: Prototype Implementation of a Highly Parallel Dataflow Machine EM-4, Proceedings of 5th International Parallel Processing Symposium, pp.278-286 (1991).
- 3) Sakai, S., Kodama, Y. and Yamaguchi, Y.: Design and Implementation of a Circular Omega Network in the EM-4, Parallel Computing, Vol.19, No.2, pp.125-142 (1993).
- 4) Sato, M., Kodama, Y., Sakai, S., Yamaguchi, Y. and Koumura, Y.: Thread-based Programming for the EM-4 Hybrid Dataflow Machine, Proceedings of 19th Annual International Symposium on Computer Architecture, pp.146-155 (1992).
- 5) Kodama, Y., Sakane, H., Sato, M., Yamana, H., Sakai, S. and Yamaguchi, Y.: The EM-X Parallel Computer: Architecture and Basic Performance, Proc. of 22nd International Symposium on Computer Architecture, pp.14-23 (1995).
- 6) 坂井修一, 石川 裕: RWCプロジェクトにおける超並列計算機の研究, 情報処理, Vol.34, No.2, pp.1440-1444 (Feb. 1993).

(平成13年9月17日受付)